

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010569

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G02F 1/136

G02F 1/1333

(21)Application number : 08-182765

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 24.06.1996

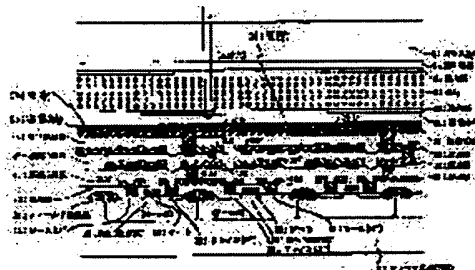
(72)Inventor : YOSHINARI MASAKI

## (54) REFLECTION TYPE LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To make the electric capacity between pixel electrodes and reduce crosstalk by filling gaps between the pixel electrodes, formed corresponding to a pixel array, with a material which is less in specific dielectric constant than a liquid crystal layer.

SOLUTION: On a pixel electrode layer 34, a dielectric layer 53 is formed which fills the gaps 54 between the respective pixel electrodes 43D and covers the pixel electrodes 34D and on the dielectric layer 53, a dielectric mirror 51 which reflects incident light and an orientation film 52 formed of obliquely vapor-deposited silicon oxide are laminated in order. For the dielectric layer 53, the dielectric material, for instance SiO<sub>2</sub> is used which is much less in specific dielectric constant than the dielectric mirror 51 and liquid crystal 9. Consequently, the capacity between a pixel electrode 34D corresponding to the pixel in the 1st column in the 2nd row and the pixel electrode 34D corresponding to the adjacent pixel in the 2nd column in the 2nd row is small enough nearly to ignore. Further, crosstalk between signal voltages that adjacent pixel electrodes 34 hold is reduced.



## LEGAL STATUS

[Date of request for examination]

15.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10569

(43) 公開日 平成10年(1998) 1月16日

(51) Int. Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136		G 0 2 F	1/136
	1/1333	5 0 5		1/1333
				5 0 5

審査請求 未請求 請求項の数 2 F D (全 7 頁)

(21) 出願番号 特願平8-182765

(22) 出願日 平成8年(1996) 6月24日

(71) 出願人 000005016

ハイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 吉成 正樹

山梨県中巨摩郡田舎町西花輪2680番地

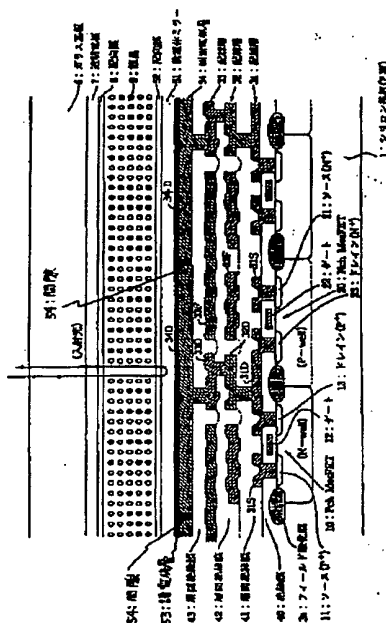
ハイオニア株式会社内

(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】

【課題】 クロストークの発生を軽減できる反射型液晶表示装置を提供することを目的とする。

【解決手段】 半導体基板と、該半導体基板に対向配置された透明基板と、該両基板間に封止された液晶層と、該半導体基板上に画素配列に対応してマトリクス状に形成された複数のスイッチング素子と、該スイッチング素子の上方に該画素配列に対応しかつ間隙を介してマトリクス状に形成された複数の画素電極を有する反射型液晶表示装置であって、各画素の間隙を充填しかつ画素電極を被覆する誘電体層を有し、誘電体層が液晶層より充分比誘電率の低い材料からなることを特徴とする反射型液晶表示装置。



## 【特許請求の範囲】

【請求項1】 半導体基板と、該半導体基板に対向配置された透明基板と、該両基板間に封止された液晶層と、該半導体基板上に画素配列に対応してマトリクス状に形成された複数のスイッチング素子と、該スイッチング素子の上方に該画素配列に対応しかつ間隙を介してマトリクス状に形成された複数の画素電極を有する反射型液晶表示装置であって、前記間隙を充填しかつ前記画素電極を被覆する誘電体層を有し、前記誘電体層が前記液晶層より充分比誘電率の低い材料からなることを特徴とする反射型液晶表示装置。

【請求項2】 前記誘電体層は、シリコン酸化物よりなることを特徴とする請求項1記載の反射型液晶表示装置。

## 【発明の詳細な説明】

【0001】

【0001】

【0002】

【発明の属する技術分野】本発明は、反射型液晶表示装置に関する。

【0003】

【0002】

【0004】

【従来の技術】従来の反射型液晶表示装置の概略断面構造図を図3に示す。同図において、反射型液晶表示装置は、シリコン基板101とこれに対向するガラス基板102との間に液晶層103を封入したものである。このシリコン基板101上には、それぞれソース104a、ゲート104b、ドレイン104cの各電極を有する、マトリクス状に配線接続されたMOS FET（スイッチング素子）104が形成され、それぞれMOS FET 104を被覆する絶縁層105と、絶縁層105上に間隙106を介してマトリクス状に配置されたアルミニウムからなり反射膜を兼ねる画素電極107に対応して接続形成されている。一方、ガラス基板102上には、透明電極108が形成されている。

【0005】

【0003】

【0006】

【発明が解決しようとする課題】ところで、上述の反射型液晶表示装置では、画素電極間の間隙106が比誘電率の高い液晶で満たされているので、隣接する画素電極間の容量が大きい。従って、ある画素の電圧が入力信号に応じて変化すると、隣接する画素の電極が同時に変化し、クロストークが発生することとなる。

【0007】

【0004】本発明は上述の事情に鑑みてなされたものであり、クロストークの発生を軽減できる反射型液晶表示装置を提供することを目的とする。

【0008】

【0005】

【0009】

【課題を解決するための手段】請求項1記載の発明は、半導体基板と、該半導体基板に対向配置された透明基板と、該両基板間に封止された液晶層と、該半導体基板上に画素配列に対応してマトリクス状に形成された複数のスイッチング素子と、該スイッチング素子の上方に該画素配列に対応しかつ間隙を介してマトリクス状に形成された複数の画素電極を有する反射型液晶表示装置であって、各画素の間隙を充填しかつ画素電極を被覆する誘電体層を有し、誘電体層が液晶層より充分比誘電率の低い材料からなることを特徴とする。

【0010】

【0006】また、請求項2記載の発明は、請求項1記載の反射型液晶表示装置において、誘電体層は、シリコン酸化物よりなることを特徴とする。

【0011】

【0007】

【0012】

20 【作用】本発明は以上のように構成したので、画素配列に対応してマトリクス状に形成された複数のスイッチング素子の上方において、該画素配列に対応して形成される各画素電極間の間隙が、液晶層より充分比誘電率の低い材料、例えばシリコン酸化物などで充填されるので、各画素電極間の電気的容量が小さくなり、クロストークが軽減される。

【0013】

【0008】

【0014】

30 【発明の実施の形態】本発明の反射型液晶表示装置の一実施形態について、その具体的な構成を図面を引用して説明する。図1は、本発明の一実施形態における反射型液晶パネルの断面の模式図であり、複数画素の内の或画素部分を拡大した図である。

【0015】

【0009】この反射型液晶表示装置は、表示パネルが、P型のシリコン基板1と、一部にスペーサ等を介在させてシリコン基板1に対向するガラス基板6と、これらの基板間に真空吸引等によって封入された液晶9とを有してなるものである。

【0016】

【0010】ガラス基板6は、液晶9側表面上に、コモン電圧に保持される又は接地されるITO等の透明電極7と、斜め蒸着したシリコン酸化物からなる配向膜8とが積層して形成されている。なお、ブラックマトリクスは除かれたものとなっている。また、配向膜8はボラス状となっている。液晶9は、垂直配列タイプのネマチック液晶である。

【0017】

50 【0011】シリコン基板1は、液晶9側表面上に、マ

トリクス状に配列された画素の1つに対応して、ソース11がソースライン31Sを介してデータ信号を受け、ポリシリコンゲート12がスキャン信号を受け、ドレイン13がドレインライン31Dに接続されたPチャンネルMOSトランジスタ10及びソース21がソースライン31Sを介してデータ信号を受け、ポリシリコンゲート22がスキャン信号を受け、ドレイン23がドレインライン31Dに接続されたNチャンネルMOSトランジスタ20と、これの上方の画素電極層34内において互いに隣接し僅かな間隙54で分離されて密にパターン形成された画素電極34Dと、それぞれ配線層31、32、33内にパターン形成されて、PチャンネルMOSトランジスタ10、NチャンネルMOSトランジスタ20の各ドレイン13、23と画素電極34Dとを接続するドレインライン31D、32D、33Dとが設けられたものである。また、他の画素電極に対応する部分も同様に形成される。

【0018】

【0012】また、PチャンネルMOSトランジスタ10及びNチャンネルMOSトランジスタ20の各層と、各配線層31、32、33と、画素電極層34との間には、絶縁膜40及び層間絶縁膜41、42、43が交互に積層して設けられている。

【0019】

【0013】ここで、配線層31、32、33は、アルミニウム(Al)膜で形成されている。画素電極層34は、透明電極7に生じる標準電極電位と略同一の標準電極電位を生じる材料、例えばタングステン(W)、チタン(Ti)などにより形成される。また、絶縁膜40及び層間絶縁膜41、42、43は、例えばリンシリケートガラス(PSG)膜で形成されており、全層同じ材質のものとなっている。

【0020】

【0014】さらに、画素電極層34上には、各画素電極34Dの間隙54を充填しかつ画素電極34Dを被覆する誘電体層53が形成され、さらに誘電体層53上には、入射光を反射する誘電体ミラー51と、斜め蒸着したシリコン酸化物からなる配向膜52とが順次積層されて形成されている。なお、誘電体層53は、誘電体ミラー51及び液晶9より充分比誘電率の低い誘電体材料、例えばSiO<sub>2</sub>などが用いられる。また、誘電体ミラー51は、例えば、TiO<sub>2</sub>とSiO<sub>2</sub>が交互にEB蒸着されて積層された多層膜などで構成され、ポーラス状となっている。また、配向膜52もポーラス状となっている。

【0021】

【0015】ダミーパターン32F、33F等は、互いに隣接する画素電極34Dの間隙の下方に設けられて、漏れた入射光がトランジスタ10、20に到達しないように遮光を行うものである。

【0022】以上のような構造を採用したことから、本実施形態における反射型液晶表示装置は、一般的なCMOS製造用のシリコンプロセスや液晶パネル製造プロセスによって形成することができる。

【0023】尚、上述の実施形態では、反射膜として誘電体ミラーを備える構成を例示したが、誘電体ミラーを設けずに画素電極が反射膜を兼ねる構成としても良い。

【0024】

【0016】本実施形態における反射型液晶表示装置の具体的な動作を、図面を引用して説明する。図2は、本発明の一実施形態における反射型液晶表示装置の等価回路のブロック図である。同図において、液晶9の駆動は、線順次駆動のアクティブマトリクス方式で行われる。即ち、列電極駆動回路から1水平走査線に相当する各列ごとのデータ信号がデータラインA1～Anにバラレル出力されると共に、行電極駆動回路からその走査線に該当する行のスキャン信号の正負パルスが、スキャンラインX1、Y1等に順次出力される。このパルス出力は、水平走査の度にスキャンラインX1、Y1からスキャンラインX2、Y2さらにスキャンラインX3、Y3と順に遷移する。

【0025】

【0017】ここで、2行1列目の画素を例にとると、この画素では、PチャンネルMOSトランジスタ10がスキャンラインX2を介してポリシリコンゲート12に負のスキャンパルスを受け、同時にNチャンネルMOSトランジスタ20がスキャンラインY2を介してポリシリコンゲート22に正のスキャンパルスを受けると、PチャンネルMOSトランジスタ10及びNチャンネルMOSトランジスタ20が共にオンして、ソース11、21とドレイン13、23が導通する。

【0026】

【0018】すると、データラインA1上に出力されたデータ信号の電圧は、ソースライン31Sと、PチャンネルMOSトランジスタ10及びNチャンネルMOSトランジスタ20と、ドレインライン31D、32D、33Dとを介して、画素電極34Dに印加される。次に、PチャンネルMOSトランジスタ10のゲート12及びNチャンネルMOSトランジスタ20のゲート22に接地電位が印加されると、PチャンネルMOSトランジスタ10及びNチャンネルMOSトランジスタ20が共にオフして、画素電極34Dにデータ信号の電圧が保持される。

【0027】

【0019】そして、この画素電極34Dの印加電圧と透明電極7のコモン電圧との電圧差に応じて、画素電極34D上部における部分の液晶9が偏光状態を変えるので、図示しない光源から投射された入射光に対する図示しない投射面への反射光の割合を制御することができる。他の画素に関しても同様である。

50 【0028】

【0020】かかる構造及び動作の反射型液晶表示装置では、例えば先に示したスキャンラインをX2、Y2を駆動する際に、データラインA1及びA2をパラレル出力することによって、2行1列目及び隣接する2行2列目の画素に対応する液晶9の部位の偏光状態を共に変える場合を考えると、2行1列目の画素に対応する画素電極34Dと隣接する2行2列目の画素に対応する画素電極34Dの間隙が、誘電体ミラー51及び液晶9より充分比誘電率の低い誘電材料で充填された誘電体層53が形成されているので、2行1列目の画素に対応する画素電極34Dと隣接する2行2列目の画素に対応する画素電極34D間の容量がほとんど無視できる小さな値となる。

【0029】

【0021】したがって、スキャン信号の正負パルスが、スキャンラインX2、Y2をスキャンして、2行1列目の画素に対応するトランジスタがスイッチングされて、2行1列目の画素に対応する画素電極34Dが、データラインA1に対応する信号電圧を保持すると共に、2行2列目の画素に対応するトランジスタがスイッチングされて、2行2列目の画素に対応する画素電極34Dが、データラインA2に対応する信号電圧を保持する際に、2行1列目の画素に対応する画素電極34Dが保持する信号電圧が2行2列目の画素に対応するトランジスタのスイッチングによって同時に電圧変動することがない。したがって、隣接する画素電極34Dが保持する信号電圧間のクロストークが激減する。

【0030】

【0022】

【0031】

【発明の効果】本発明は以上のように構成したため、画素配列に対応してマトリクス状に形成された複数のスイッチング素子の上方において、該画素配列に対応して形成される各画素電極間の間隙が、液晶層より充分比誘電率の低い材料、例えばシリコン酸化物などで充填されるので、各画素電極間の電氣的容量が小さくなり、クロストークが軽減される。

【図面の簡単な説明】

【図1】本発明の一実施形態における反射型液晶パネル

の断面の模式図である。

【図2】本発明の一実施形態における反射型液晶表示装置の等価回路のブロック図である。

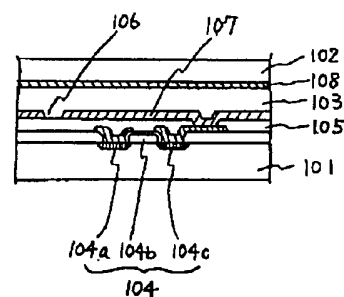
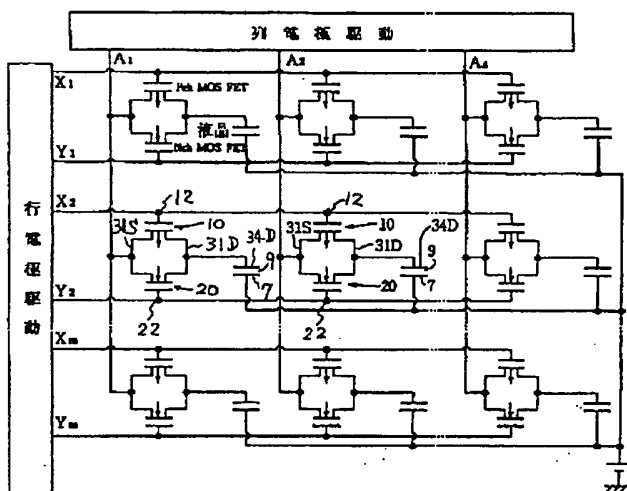
【図3】従来の反射型液晶表示装置の概略断面構造図である

【符号の説明】

- 1・・・シリコン基板
- 6・・・ガラス基板
- 7・・・透明電極
- 8・・・配向膜
- 9・・・液晶
- 10・・・PチャネルMOSトランジスタ
- 11・・・ソース
- 12・・・ポリシリコンゲート
- 13・・・ドレイン
- 20・・・NチャネルMOSトランジスタ
- 21・・・ソース
- 22・・・ポリシリコンゲート
- 23・・・ドレイン
- 31・・・配線層
- 32・・・配線層
- 33・・・配線層
- 31D・・・ドレインライン
- 31S・・・ソースライン
- 32D・・・ドレインライン
- 32F・・・ダミーパターン
- 33D・・・ドレインライン
- 33F・・・ダミーパターン
- 34・・・画素電極層
- 34D・・・画素電極
- 40・・・絶縁膜
- 41・・・層間絶縁膜
- 42・・・層間絶縁膜
- 43・・・層間絶縁膜
- 51・・・誘電体ミラー
- 52・・・配向膜
- 53・・・誘電体層
- 54・・・間隙

Figure 1 is a cross-sectional view of a semiconductor device. The device is built on a silicon substrate (1). The substrate is a p-type silicon (23) with a drain (22) and a p-channel MOSFET (20). Above the substrate is an n-type silicon layer (31) with a source (32) and an n-channel MOSFET (34). A gate layer (40) is on top, with a gate (12) and a p-well (N-well) region. A field oxide layer (3a) is also present. The top layer is a transparent film (7) with a transparent substrate (6) and a transparent film (8). A gap (54) is shown between the transparent film and the substrate. An arrow indicates the direction of light (入射光) entering the device.

【图3】



【従来の技術】従来の反射型液晶表示装置の概略断面構造図を図３に示す。同図において、反射型液晶表示装置は、シリコン基板１０１とこれに対向するガラス基板１０２との間に液晶層１０３を封入したものである。このシリコン基板１０１上には、それぞれソース１０４ａ、

ゲート104b、ドレイン104cの各電極を有する、マトリクス状に配線接続されたMOS FET(スイッチング素子)104が形成され、それぞれMOS FET104を被覆する絶縁層105と、絶縁層105上に間隙106を介してマトリクス状に配置されたアルミニウムからなり反射膜を兼ねる画素電極107に対応して接続形成されている。一方、ガラス基板102上には、透明電極108が形成されている。

【0003】

【発明が解決しようとする課題】ところで、上述の反射型液晶表示装置では、画素電極間の間隙106が比誘電率の高い液晶で満たされているので、隣接する画素電極間の容量が大きい。従って、ある画素の電圧が入力信号に応じて変化すると、隣接する画素の電極が同時に変化し、クロストークが発生することとなる。

【0004】本発明は上述の事情に鑑みてなされたものであり、クロストークの発生を軽減できる反射型液晶表示装置を提供することを目的とする。

【0005】

【課題を解決するための手段】請求項1記載の発明は、半導体基板と、該半導体基板に対向配置された透明基板と、該両基板間に封止された液晶層と、該半導体基板上に画素配列に対応してマトリクス状に形成された複数のスイッチング素子と、該スイッチング素子の上方に該画素配列に対応しかつ間隙を介してマトリクス状に形成された複数の画素電極を有する反射型液晶表示装置であって、各画素の間隙を充填しかつ画素電極を被覆する誘電体層を有し、誘電体層が液晶層より充分比誘電率の低い材料からなることを特徴とする。

【0006】また、請求項2記載の発明は、請求項1記載の反射型液晶表示装置において、誘電体層は、シリコン酸化物よりなることを特徴とする。

【0007】

【作用】本発明は以上のように構成したので、画素配列に対応してマトリクス状に形成された複数のスイッチング素子の上方において、該画素配列に対応して形成される各画素電極間の間隙が、液晶層より充分比誘電率の低い材料、例えばシリコン酸化物などで充填されるので、各画素電極間の電気的容量が小さくなり、クロストークが軽減される。

【0008】

【発明の実施の形態】本発明の反射型液晶表示装置の一実施形態について、その具体的な構成を図面を引用して説明する。図1は、本発明の一実施形態における反射型液晶パネルの断面の模式図であり、複数画素の内の或画素部分を拡大した図である。

【0009】この反射型液晶表示装置は、表示パネルが、P型のシリコン基板1と、一部にスペーサ等を介在させてシリコン基板1に対向するガラス基板6と、これらの基板間に真空吸引等によって封入された液晶9とを

有してなるものである。

【0010】ガラス基板6は、液晶9側表面上に、共通電圧に保持される又は接地されるITO等の透明電極7と、斜め蒸着したシリコン酸化物からなる配向膜8とが積層して形成されている。なお、ブラックマトリクスは除かれたものとなっている。また、配向膜8はボラス状となっている。液晶9は、垂直配列タイプのネマチック液晶である。

【0011】シリコン基板1は、液晶9側表面上に、マトリクス状に配列された画素の1つに対応して、ソース11がソースライン31Sを介してデータ信号を受け、ポリシリコンゲート12がスキャン信号を受け、ドレイン13がドレインライン31Dに接続されたPチャネルMOSトランジスタ10及びソース21がソースライン31Sを介してデータ信号を受け、ポリシリコンゲート22がスキャン信号を受け、ドレイン23がドレインライン31Dに接続されたNチャネルMOSトランジスタ20と、これの上方の画素電極層34内において互いに隣接し僅かな間隙54で分離されて密にパターン形成された画素電極34Dと、それぞれ配線層31、32、33内にパターン形成されて、PチャネルMOSトランジスタ10、NチャネルMOSトランジスタ20の各ドレイン13、23と画素電極34Dとを接続するドレインライン31D、32D、33Dとが設けられたものである。また、他の画素電極に対応する部分も同様に形成される。

【0012】また、PチャネルMOSトランジスタ10及びNチャネルMOSトランジスタ20の各層と、各配線層31、32、33と、画素電極層34との間には、絶縁膜40及び層間絶縁膜41、42、43が交互に積層して設けられている。

【0013】ここで、配線層31、32、33は、アルミニウム(AL)膜で形成されている。画素電極層34は、透明電極7に生じる標準電極電位と略同一の標準電極電位を生じる材料、例えばタングステン(W)、チタン(Ti)などにより形成される。また、絶縁膜40及び層間絶縁膜41、42、43は、例えばリンシリケートガラス(PSG)膜で形成されており、全層同じ材質のものとなっている。

【0014】さらに、画素電極層34上には、各画素電極34Dの間隙54を充填しかつ画素電極34Dを被覆する誘電体層53が形成され、さらに誘電体層53上には、入射光を反射する誘電体ミラー51と、斜め蒸着したシリコン酸化物からなる配向膜52とが順次積層されて形成されている。なお、誘電体層53は、誘電体ミラー51及び液晶9より充分比誘電率の低い誘電体材料、例えばSiO<sub>2</sub>などが用いられる。また、誘電体ミラー51は、例えば、TiO<sub>2</sub>とSiO<sub>2</sub>が交互にEB蒸着されて積層された多層膜などで構成され、ボラス状となっている。また、配向膜52もボラス状となってい

る。

【0015】ダミーパターン32F、33F等は、互いに隣接する画素電極34Dの間隙の下方に設けられて、漏れた入射光がトランジスタ10、20に到達しないように遮光を行うものである。以上のような構造を採用したことから、本実施形態における反射型液晶表示装置は、一般的なCMOS製造用のシリコンプロセスや液晶パネル製造プロセスによって形成することができる。尚、上述の実施形態では、反射膜として誘電体ミラーを備える構成を例示したが、誘電体ミラーを設けずに画素電極が反射膜を兼ねる構成としても良い。

【0016】本実施形態における反射型液晶表示装置の具体的な動作を、図面を引用して説明する。図2は、本発明の一実施形態における反射型液晶表示装置の等価回路のブロック図である。同図において、液晶9の駆動は、線順次駆動のアクティブマトリクス方式で行われる。即ち、列電極駆動回路から1水平走査線に相当する各列ごとのデータ信号がデータラインA1～Anに平行出力されると共に、行電極駆動回路からその走査線に該当する行のスキャン信号の正負パルスが、スキャンラインX1、Y1等に順次出力される。このパルス出力は、水平走査の度にスキャンラインX1、Y1からスキャンラインX2、Y2さらにスキャンラインX3、Y3と順に遷移する。

【0017】ここで、2行1列目の画素を例にとると、この画素では、PチャネルMOSトランジスタ10がスキャンラインX2を介してポリシリコンゲート12に負のスキャンパルスを受け、同時にNチャネルMOSトランジスタ20がスキャンラインY2を介してポリシリコンゲート22に正のスキャンパルスを受けると、PチャネルMOSトランジスタ10及びNチャネルMOSトランジスタ20が共にオンして、ソース11、21とドレイン13、23が導通する。

【0018】すると、データラインA1上に出力されたデータ信号の電圧は、ソースライン31Sと、PチャネルMOSトランジスタ10及びNチャネルMOSトランジスタ20と、ドレインライン31D、32D、33Dとを介して、画素電極34Dに印加される。次に、PチャネルMOSトランジスタ10のゲート12及びNチャネルMOSトランジスタ20のゲート22に接地電位が印加されると、PチャネルMOSトランジスタ10及びNチャネルMOSトランジスタ20が共にオフして、画

素電極34Dにデータ信号の電圧が保持される。

【0019】そして、この画素電極34Dの印加電圧と透明電極7のコモン電圧との電圧差に応じて、画素電極34D上部における部分の液晶9が偏光状態を変えるので、図示しない光源から投射された入射光に対する図示しない投射面への反射光の割合を制御することができる。他の画素に関しても同様である。

【0020】かかる構造及び動作の反射型液晶表示装置では、例えば先に示したスキャンラインをX2、Y2を駆動する際に、データラインA1及びA2を平行出力することによって、2行1列目及び隣接する2行2列目の画素に対応する液晶9の部位の偏光状態を共に変える場合を考えると、2行1列目の画素に対応する画素電極34Dと隣接する2行2列目の画素に対応する画素電極34Dの間隙が、誘電体ミラー51及び液晶9より充分比誘電率の低い誘電材料で充填された誘電体層53が形成されているので、2行1列目の画素に対応する画素電極34Dと隣接する2行2列目の画素に対応する画素電極34D間の容量がほとんど無視できる小さな値となる。

【0021】したがって、スキャン信号の正負パルスが、スキャンラインX2、Y2をスキャンして、2行1列目の画素に対応するトランジスタがスイッチングされて、2行1列目の画素に対応する画素電極34Dが、データラインA1に対応する信号電圧を保持すると共に、2行2列目の画素に対応するトランジスタがスイッチングされて、2行2列目の画素に対応する画素電極34Dが、データラインA2に対応する信号電圧を保持する際に、2行1列目の画素に対応する画素電極34Dが保持する信号電圧が2行2列目の画素に対応するトランジスタのスイッチングによって同時に電圧変動することがない。したがって、隣接する画素電極34Dが保持する信号電圧間のクロストークが激減する。

【0022】

【発明の効果】本発明は以上のように構成したため、画素配列に対応してマトリクス状に形成された複数のスイッチング素子の上方において、該画素配列に対応して形成される各画素電極間の間隙が、液晶層より充分比誘電率の低い材料、例えばシリコン酸化物などで充填されるので、各画素電極間の電氣的容量が小さくなり、クロストークが軽減される。